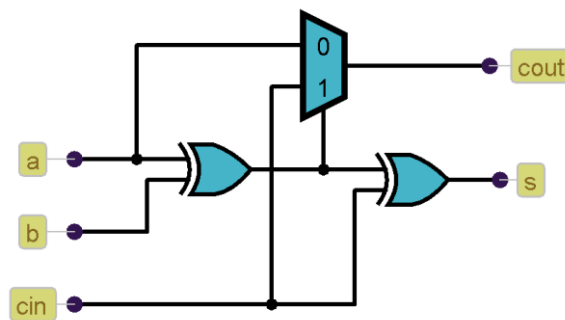

Architecture des ordinateurs

TP1 : Algèbre de Boole ; portes et fonctions combinatoires

Les circuits réalisés en TP sont décrits à l'aide d'un langage de description matériel (HDL) appelé SHDL. Sa syntaxe (par l'exemple) figure en annexe. Il s'agit bien d'un langage de *description* et non de programmation : les lignes d'un module peuvent ainsi être écrites dans un ordre quelconque.

1. Additionneur complet 1 bit : implémentation

On a étudié en TD le schéma suivant et montré qu'il réalise une 'tranche' d'addition de 1 bit, avec retenue entrante et retenue sortante :



Ecrire le module SHDL qui implémente ce circuit, avec l'interface suivant :

```
module fulladder(a, b, cin : s, cout)
```

Utiliser les outils fournis en TP pour implémenter ce module dans une carte Nexys, et tester avec les entrées-sorties à distance.s

2. Décodeurs génériques : implémentation

Ecrire en SHDL les décodeurs conçus en TD, en adoptant les interfaces suivants :

```
module decoder2to4(e[1..0] : s[3..0])
module decoder3to8(e[2..0] : s[7..0])
module decoder4to16(e[3..0] : s[15..0])
module decoder5to32(e[4..0] : s[31..0])
module decoder6to64(e[5..0] : s[63..0])
```

On mettra chacun de ces modules dans un fichier de même nom, de façon à pouvoir les réutiliser ensuite. Tester `decoder6to64` avec les entrées-sorties à distance.

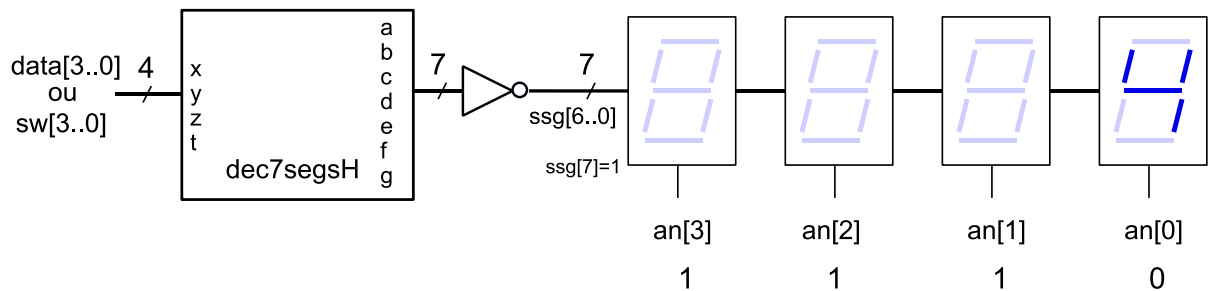
3. Décodeur 7 segments

- a. Implémenter en SHDL le décodeur 7 segments avec l'interface suivant :

```
module dec7segsH(x[3..0] : seg[6..0])
```

seg[0], seg[1], ..., seg[6] correspondent aux segments a, b, c, ..., g respectivement.

- b. Tester ce module avec les entrées-sorties à distance.
c. Implémenter ensuite un module hybride entrées à distance / sorties réelles selon le schéma suivant :



ssg[7..0] fonctionnent en logique négative, c'est-à-dire que c'est un 0 qui allume le segment, d'où la nécessité de l'inverseur sur le schéma. ssg[7] est forcé à 1 pour que le point décimal soit éteint ; ssg[6..0] correspondent aux signaux seg[6..0] après inversion.

an[3..0] fonctionnent également en logique négative ; on pourra par exemple forcer an[3..0] à 1110 comme sur le schéma pour que seul l'afficheur de droite soit actif.

Notation:

- Additionneur complet
- Décodeurs génériques
- Décodeur 7-segments